**Министерство образования Российской Федерации**

**МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ**

**им. Н.Э. БАУМАНА**

Факультет: Информатика и системы управления

Кафедра: Информационная безопасность (ИУ8)

**Аппаратные средства вычислительной техники**

**Лабораторная работа №1**

“Исследование функций процессора”

**Преподаватель**: Рафиков Андрей Гыязович

**Студент**:Веденеев Андрей Андреевич

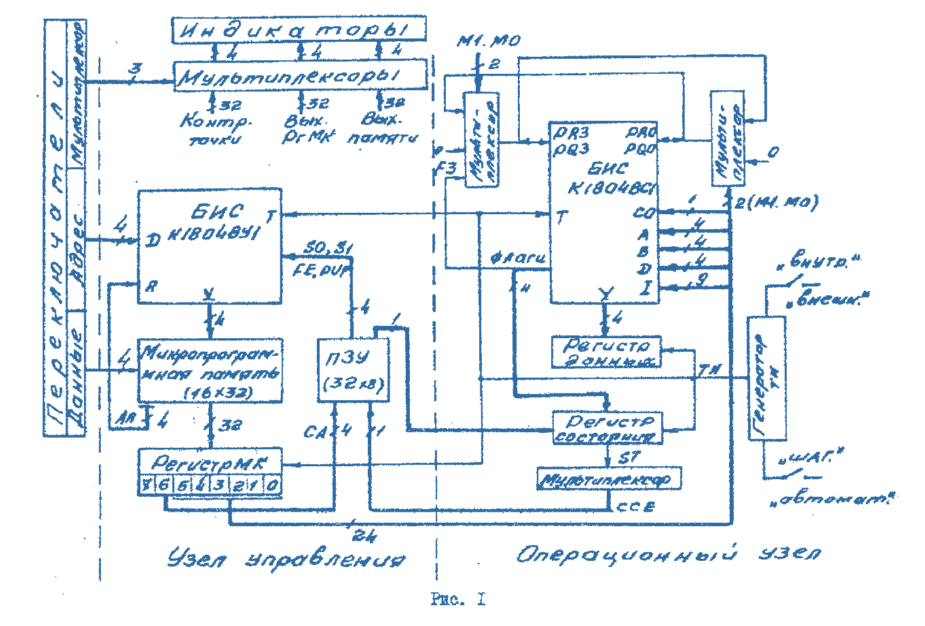
**Группа**: ИУ8-62

Москва 2023г.

Цель работы: изучение устройства МТ1804; изучение структуры, принципа действия и функций процессорного элемента KI804BCI; программирование и выполнение линейных микропрограмм.

**Теоретическая часть**

Структурная схема МТ1804:



Операционный автомат логической секции:

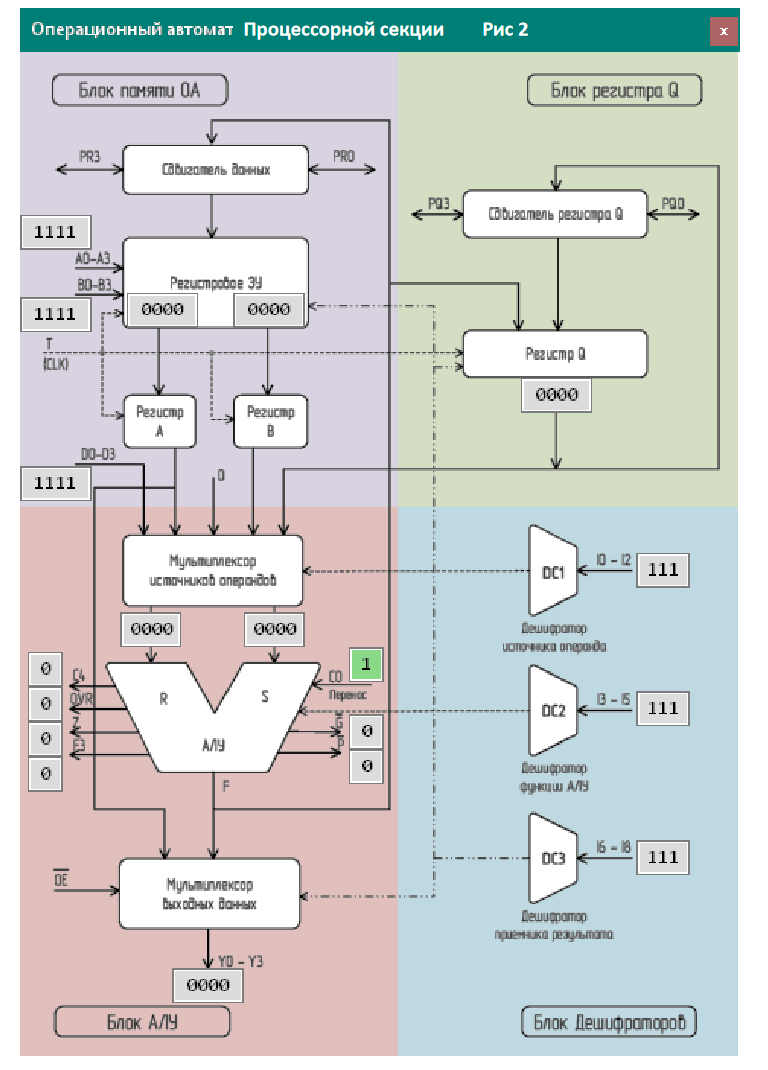


Таблица 1. Выбор функции АЛУ:

|  |  |
| --- | --- |
| I5-3 | Функция АЛУ (*F*) |
| 000 | *R+S+CO* |
| 001 | *S-R-1+CO* |
| 010 | *R-S-1+CO* |
| 011 | *R ∨ S* |
| 100 | *R·S* |
| 101 |  |
| 110 |  |
| 111 |  |

Таблица 2. Выбор источников операндов:

|  |  |  |
| --- | --- | --- |
| I2-0 | Источники операндов | |
| *R* | S |
| 000 | *РОН(А)* | *PQ* |
| 001 | *РОН (А)* | *РОН (В)* |
| 010 | 0 | *PQ* |
| 011 | 0 | *РОН (В)* |
| 100 | 0 | *РОН (А)* |
| 101 | *D* | *РОН (А)* |
| 110 | *D* | *PQ* |
| 111 | *D* | 0 |

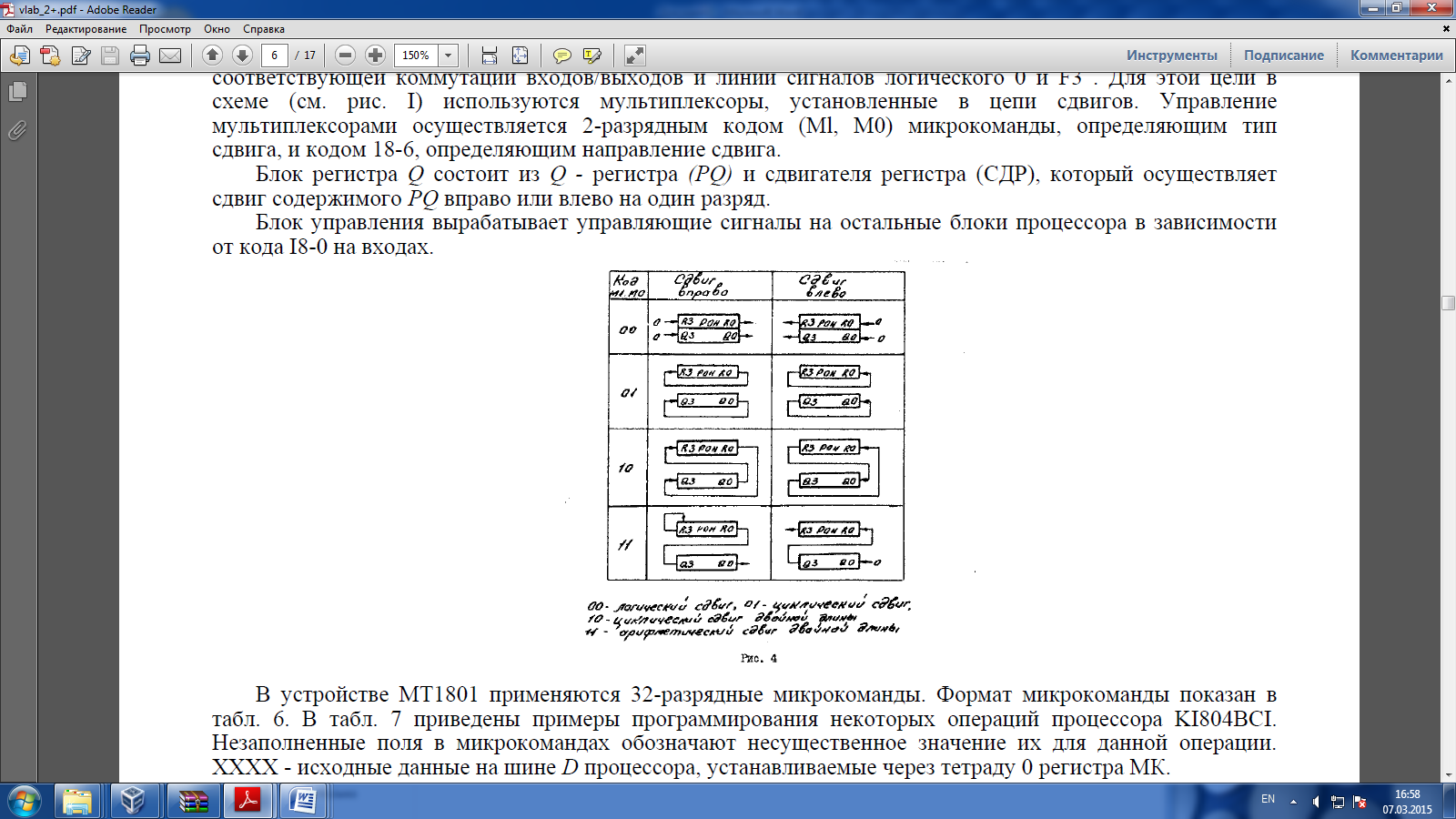
Таблица 3. Выбор приемника результата:

|  |  |  |
| --- | --- | --- |
| I8-6 | Тип загрузки | Выход Y |
| 000 | *F→PQ* | *F* |
| 001 | Нет загрузки | *F* |
| 010 | *F→РОН(В)* | *A* |
| 011 | *F→РОН(В)* | *F* |
| 100 | *F/2→POH (B), Q/2→PQ* | *F* |
| 101 | *F/2→POH (B)* | *F* |
| 110 | *2F→POH(B), 2Q→PQ* | *F* |
| 111 | *2F→POH (B)* | *F'* |

Таблица 5. Формат 32-битных микрокоманд

|  |  |  |  |
| --- | --- | --- | --- |
| Номер тетрады | Номер бита | Назначение бита | Функция |
| 0 | 0 1 2 3 | *D0 D1 D2 D3* | Данные для D-шины |
| 1 | 4 5 6 7 | *B0 B1 B2 B3* | Адрес РОН на входах В |
| 2 | 8 9 10 11 | *A0 A1 A2 A3* | Адрес РОН на входах А |
| 3 | 12 13 14 15 | *I3 I4 I5* | Функция АЛУ |
| *CO* | Значение входного переноса в АЛУ |
| 4 | 16 17 18 | *I0 I1 I2* | Указатель операндов в АЛУ |
| 19 | *M0* | Нулевой бит управления мультиплексорами сдвига |
| 5 | 20 21 22 23 | *I6 I7 I8* | Определение приемника результата операции |
| *M1* | Первый бит управления мультиплексорами сдвига |
| 6 | 24 25 26 27 | *CA0 CA1 CA2 CA3* | Управление выборкой адреса следующей микрокоманды |
| 7 | 28 29 30 31 | *AR0 AR1 AR2 AR3* | Адрес перехода |

Таблица 4. Реализация сдвигов:



**Практическая часть**

Задание 1.

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес памяти | Номер тетрады | | | | | | | Операции |
| 7-6 | 5 | 4 | 3 | 2 | 1 | 0 |  |
| AR-CA | M1.18-6 | M0.12-0 | CO.15-3 | A | B | D |  |
| 0 |  | 0011 | 0111 | 0011 |  | 0000 |  | Загрузка РОН 0 |
| 1 |  | 0001 | 0011 | 0011 |  | 0000 |  | Чтение РОН 0 |
| 2 |  | 0001 | 0010 | 0011 |  | 0000 |  | Загрузка PQ |
| 3 |  | 0001 | 0011 | 0011 |  | 0000 |  | Чтение PQ |
| 4 |  | 0000 | 0011 | 0100 |  | 0000 |  | Установка 0 в PQ |
| 5 |  | 0101 | 0011 | 0011 |  | 0000 |  | Сдвиг РОН 0 вправо |
| 6 |  | 0111 | 0011 | 0011 |  | 0000 |  | Сдвиг РОН 0 вправо |
| 7 |  | 1110 | 0011 | 0011 |  | 0000 |  | Двойной сдвиг влево |
| 8 |  | 1100 | 0011 | 0011 |  | 0000 |  | Двойной сдвиг вправо |
| 9 |  | 0011 | 0011 | 1000 |  | 0000 |  | РОН 0+1 -> РОН 0 |
| 10 |  | 0011 | 0011 | 0001 |  | 0000 |  | РОН 0-1 -> РОН 0 |
| 11 |  | 0101 | 0011 | 1000 |  | 0000 |  | Сложение со сдвигом вправо |
| 12 |  | 0111 | 0011 | 1000 |  | 0000 |  | Сложение со сдвигом влево |

Задание 2.

А) Микропрограмма очистки регистра POH(i)

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес памяти | Номер тетрады | | | | | | | Операции |
| 7-6 | 5 | 4 | 3 | 2 | 1 | 0 |  |
| AR-CA | M1.18-6 | M0.12-0 | CO.15-3 | A | B | D |  |
| 0 |  | 0011 | 0111 | 0011 |  | 0101 | 0001 | Загрузка единицы в РОН(5) |
| 1 |  | 0001 | 0011 | 0100 |  | 0101 |  | Очистка РОН (5) |

Б) Обмен данными регистров РОНi и РОНj(PQ):

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес памяти | Номер тетрады | | | | | | | Операции |
| 7-6 | 5 | 4 | 3 | 2 | 1 | 0 |  |
| AR-CA | M1.18-6 | M0.12-0 | CO.15-3 | A | B | D |  |
| 0 |  | 0011 | 0111 | 0011 |  | 0101 | 0101 | Загрузка числа 5 в РОН(5) |
| 1 |  | 0011 | 0111 | 0011 |  | 0001 | 0011 | Загрузка числа 3 в РОН(1) |
| 2 |  | 0000 | 0100 | 0011 | 0101 | 0000 |  | Копирование РОН(5) в PQ |
| 3 |  | 0011 | 0100 | 0011 | 0001 | 0101 |  | Копирование РОН(1) в РОН(5) |
| 4 |  | 0011 | 0010 | 0011 |  | 0001 |  | Копирование РQ в РОН(1) |

В,Д) Алгебраическое сложение/вычитание в дополнительном/обратном коде:

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес памяти | Номер тетрады | | | | | | | Операции |
| 7-6 | 5 | 4 | 3 | 2 | 1 | 0 |  |
| AR-CA | M1.18-6 | M0.12-0 | CO.15-3 | A | B | D |  |
| 0 |  | 0011 | 0111 | 0011 |  | 0000 | 1011 | Загрузка числа 11 в РОН(0) |
| 1 |  | 0011 | 0111 | 0011 |  | 0001 | 0001 | Загрузка 1 в РОН(1) |
| 2 |  | 0001 | 0001 | 0000 | 0001 | 0000 |  | Сложение РОН(0) и РОН(1) |

Г) Изменение знака

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес памяти | Номер тетрады | | | | | | | Операции |
| 7-6 | 5 | 4 | 3 | 2 | 1 | 0 |  |
| AR-CA | M1.18-6 | M0.12-0 | CO.15-3 | A | B | D |  |
| 0 |  | 0011 | 0111 | 0011 |  | 0000 | 0001 | Загрузка единицы в РОН(0) |
| 1 |  | 0011 | 0101 | 0110 |  | 0000 | 1111 | XOR с 1111 в POH(0) |
| 2 |  | 0011 | 0011 | 1000 |  | 0000 |  | Прибавление единицы в POH(0) |

**Вывод**

В данной работе мы изучили устройства МТ1804; структуры, принципа действия и функций процессорного элемента KI804BCI; программирование и выполнение линейных микропрограмм.